

PAT-NO: JP402079482A

DOCUMENT-IDENTIFIER: JP 02079482 A

TITLE: ELECTROSTRICTION EFFECT ELEMENT AND  
MANUFACTURE THEREOF

PUBN-DATE: March 20, 1990

INVENTOR-INFORMATION:

NAME

OIDE, NOBUO

IKEDA, TERUYUKI

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP63231724

APPL-DATE: September 14, 1988

INT-CL (IPC): H01L041/09, H01L041/24

US-CL-CURRENT: 29/25.35, 310/358

ABSTRACT:

PURPOSE: To relieve stress in a capacitor structure by making connections of every other electrode layers with the aid of through holes formed in a piezo film layer, accomplishing a material indicating electrostriction effect with through holes evenly distributed, and thereby dispersing uniformly the portions with no generation of electrostriction.

CONSTITUTION: A ceramic crude sheet with uniform thickness is fabricated from slurry obtained by dispersing powder of

electrostriction material,  
containing chiefly magnesium lead niobate, in a solvent  
together with an  
organic binder. After punching off this crude sheet into  
rectangular shape,  
boring for a through hole is made, whereon a Pt paste is  
printed. Such sheets  
are laminated, compressed, and cut into element articles.  
In this laminate  
structure, connections from takeout electrodes 13, 14  
provided on the uppermost  
sheet 11 and undermost sheet 12 are made with every other  
layers with the aid  
of through holes 15 in each layer 15 and a through hole  
runoff 16. Therein the  
through hole connection with electrodes of the layers as  
next couple is formed  
dislocated, and laminating them and baking will accomplish  
a laminate type  
piezo element in which electrodes as mating electrode  
couple are connected.

COPYRIGHT: (C)1990,JPO&Japio

## ⑫ 公開特許公報(A) 平2-79482

⑤ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)3月20日

H 01 L 41/09  
41/247342-5F H 01 L 41/08  
7342-5F 41/22S  
Z

審査請求 未請求 請求項の数 3 (全5頁)

⑭ 発明の名称 電歪効果素子及びその製造方法

⑰ 特 願 昭63-231724

⑱ 出 願 昭63(1988)9月14日

⑲ 発 明 者 大 出 延 男 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑲ 発 明 者 池 田 輝 幸 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
⑲ 代 理 人 弁理士 内 原 晋

## 明 細 書

## 1. 発明の名称

電歪効果素子及びその製造方法

## 2. 特許請求の範囲

(1) 電歪効果を示す材料と内部電極とが交互に積層された電歪効果素子において、前記電歪効果を示す材料にそれぞれ形成したスルーホールを積層方向から見て全体として均一に分布させ、該スルーホールを介して各内部電極を一層おきに接続するとともに該電歪効果素子の最上部又は最下部に形成された電圧印加用の外部電極に接続したことを特徴とする電歪効果素子。

(2) 電歪効果を示す材料と内部電極とが交互に積層された電歪効果素子において、前記電歪効果を示す材料にそれぞれ形成したスルーホールを積層方向から見て全体として均一に分布させ、該スルーホールを介して各内部電極を一層おきに接続するとともに該電歪効果素子の最上部又は最下部に形成された電歪効果を示す材料の側面に設けられた電圧印加用の外部電極に接続したことを特徴と

する電歪効果素子。

(3) 電歪効果を示す材料を含むグリーンシートを作成する工程と、該グリーンシートにスルーホールを形成し、さらに導体ペーストを印刷して該スルーホールに導体ペーストを埋め込み、かつ電極パターンを形成する工程と、前記グリーンシートと電極パターンが形成されたグリーンシートを複数枚積層し熱圧着して一体化する工程と、一体化された積層体を焼成する工程とを含むことを特徴とする電歪効果素子の製造方法。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は電歪効果素子及びその製造方法に関するものである。

〔従来の技術〕

電歪効果素子とは固体の電歪効果を利用して、電気エネルギーを機械エネルギーに変換するトランスデューサである。具体的には電歪効果の大きな固体の対向する表面に金属膜等の電極を形成し、電極間に電位差を与えたときに発生する固体の歪

を利用するものである。電界と平行方向に発生する歪(縦効果歪)は垂直方向に生じる歪(横効果歪)より一般的には大きいので、前者を利用する方がエネルギー変換効率は高い。また、歪の大きさは電界強度に関係し、電界強度が大きい程発生する歪も大きい。

横効果歪を利用した電歪効果素子では一定の印加電圧でも電界と垂直方向の寸法に比例した変位量を得ることが可能である。しかしエネルギー変換効率の高い縦効果歪を利用した電歪効果素子では外部から印加する電圧を一定にして歪の発生する方向の寸法を増すと、電界強度が低下するので変位量は大きくなる。

従って、この場合に大きな変位量を得るには電界強度が低下しないように印加電圧を大きくすることが必要である。しかし、電圧を大きくするためには大型で、かつ高価な電源が必要になり、取扱いに対する危険度も増す。またこの電歪効果素子を駆動するための制御回路も、使用されるICの耐圧からの制限のため、あまり高い電圧を使用す

ることはできない。

以上の欠点を改善するために積層チップコンデンサ型の構造が提案されている。この構造を第4図(a)、(b)に示す。

第4図(a)において、電歪材料61の内部に内部電極62が一定の間隔で形成されており、一つおきに外部電極63と接続している。内部電極の間隔は通常のチップコンデンサの技術で数10ミクロン程度にすることができる。この構造を採用すると電極間距離が狭くなるため低電圧で駆動可能な縦効果利用の電歪効果素子を実現できる。

ところで積層方向から見た透視図を示す第4図(b)から明らかなように、この構造では内部電極62の重なる面積(中央の矩形部分)は素子の断面積と比較して小さい。従って基本的には内部電極62の重なった部分は電界に応じて変形するが、他の部分は変形せず、このため高い電圧を印加して大きな歪を発生させると変形する部分と変形しにくい部分との境界に大きな応力の集中が起こり、素子が機械的に破壊するという欠点がある。

このようなことから素子内部の電極を素子全体に形成される全面電極とし、これらを積層後に外部でこれらの電極の対を接続する構造が信頼性を高めるために必要であった。

第5図(a)、(b)は、この電極接続のために用いられた1つの方法であり、一層おきに電極71に絶縁物72を形成し、この上より外部電極73を塗布することで、対向する電極の対を外部に取り出せるようにしたものである。この一層おきに絶縁物を形成する方法として電気泳動法による絶縁形成が実用化されている。特願昭57-225168号、特願昭57-225169号はこの絶縁層形成の方法を示している。

この方法は電気泳動法により、絶縁物72を電極71上に析出させ、これを高温で処理し第5図(a)の素子を作成する方法である。

(発明が解決しようとする課題)

しかしながら、前記泳動法では一層おきに交互に絶縁層を形成するため、電歪効果を示す材料の厚さが薄い場合には絶縁層を形成すべきでない電極部分にまで絶縁層が付着してしまい、電極71と

外部電極73間の電気的導通が取れなくなってしまうという欠点がある。このため、電歪効果を示す材料を薄くするのにも限界があり、従って大きな歪みを低い印加電圧で得ることはできなかった。

本発明の目的は上記課題を解決した電歪効果素子及びその製造方法を提供することにある。

(課題を解決するための手段)

上記目的を達成するため、本発明の電歪効果素子は電歪効果を示す材料と内部電極とが交互に積層された電歪効果素子において、前記電歪効果を示す材料にそれぞれ形成したスルーホールを積層方向から見て全体として均一に分布させ、該スルーホールを介して各内部電極を一層おきに接続するとともに該電歪効果素子の最上部又は最下部に形成された電圧印加用の外部電極に接続したものである。

また、本発明の電歪効果素子は、電歪効果を示す材料と内部電極とが交互に積層された電歪効果素子において、前記電歪効果を示す材料にそれぞれ形成したスルーホールを積層方向から見て全体

として均一に分布させ、該スルーホールを介して各内部電極を一層おきに接続するとともに該電歪効果素子の最上部又は最下部に形成された電歪効果を示す材料の側面に設けられた電圧印加用の外部電極に接続したものである。

本発明の電歪効果素子は電歪効果を示す材料を含むグリーンシートを作成する工程と、該グリーンシートにスルーホールを形成し、さらに導体ペーストを印刷して該スルーホールに導体ペーストを埋め込み、かつ電極パターンを形成する工程と、前記グリーンシートと電極パターンが形成されたグリーンシートを複数枚積層し熱圧着して一体化する工程と、一体化された積層体を焼成する工程とを含む製造工程を行うことによって実現される。  
(作用)

本発明は圧電性薄膜層と電極層とが交互に積層され、各電極層が一層おきに共通の電極に接続されている構造を備えた積層型圧電素子において、各電極層の一層おきの接続が圧電性薄膜層に形成されたスルーホールを介して行われ、かつ積層方

果を示す材料層を用いることができる。従って低電圧印加で大きな歪が得られる素子を作成することができる。

#### (実施例)

以下、図示の実施例により本発明の積層型圧電素子を説明する。

まず、本発明での実施例での1つに圧電材料のグリーンシートへの印刷積層による素子について説明する。

グリーンシートはマグネシウム・ニオブ酸鉛 $Pb(Mg_{1/3}Nb_{2/3})O_3$ を主成分とする電歪材料の粉末を有機バインダーとともに溶媒中に分散してスラリー状とする。これをドクターブレードを用いたキャストイング法によって、厚さ30 $\mu m$ ~200 $\mu m$ の均一な厚みのセラミック生シートとする。このセラミック生シートを60mm $\times$ 40mmの矩形に打ち抜く。次に、パンチ及びダイによって前記グリーンシートにスルーホールのための穴あけ加工を行う。さらに、この穴明けの完了したグリーンシートにスクリーン印刷機を用いて白金ペーストを印刷する。

向から見て、スルーホールが全体として均一に分布されて電歪効果を示す材料に形成されることにより、電歪が発生しない部分(即ちスルーホール部分)を均一に分散させ、コンデンサ構造で問題となる応力を緩和しようとするものである。

本発明の電歪効果素子は単純なスルーホール接続ではなく、積層方向から見て、全体的として、あるいは積層方向にスルーホール位置を投影させたとき、スルーホールが均一に分散させたものであり、対向電極が形成され、電界によって歪が生ずる部分と、スルーホール部分で対向電極が形成できずに電界によって歪みが発生しない部分との間に発生する応力もたかだか数層間で解消される。このため本発明の電歪素子では電歪部と非電歪部間の応力が積層数を増加させても累積されることはなく、素子駆動によっても破壊されることはない。

本発明の電歪効果素子は前述した方法で各内部電極が一層おきに接続されるため、第5図(b)に示した絶縁層72は不必要であり、極めて薄い電歪効

このとき同時にスルーホール内部にも白金ペーストが埋め込まれる。この白金ペーストが印刷されたグリーンシートを含む複数枚のグリーンシートを積層圧着し、一体の積層体となし、これを素子単品となるように切断加工し、次に説パインダー工程を経て、900 $^{\circ}C$ ~1200 $^{\circ}C$ の温度で焼結し、積層型圧電素子を得る。

第1図(a)、(b)は本発明の一実施例を示す積層型圧電素子の積層構造を示す図である。図において、積層の最上層シート11及び最下層シート12に設けた取出し電極13及び14からの接続が各層に設けたスルーホール15及びスルーホールにげ16によって1層おきに接続されるが、このとき、さらに次の対となる層の電極へのスルーホール接続が位置をずらせて形成しており、これらを積層し焼結することで対向電極の対となる電極が接続された第2図に示す積層型圧電素子が得られる。

第3図は第2図のx-y間を切断して見たときの積層断面である。この図より明らかなように本発明の構造では対向する電極間に電界が加わって

延びが生じる部分とスルーホールが形成されるために延びが生じない部分との応力は同一パターンに戻る位置で完全に解消される。従って、さらに積層数を増加しても応力が累積されることはなく、コンデンサ構造で問題となる素子破壊も発生しない。

さらに大きな効果は、本発明の積層型圧電素子の製造工程においてグリーンシートへの穴あけ工程、その後の電極印刷工程、積層工程、切断加工工程、脱バインダー・焼成工程でのみ得られることから、内部応力の発生を除去した圧電素子の方法としての電気泳動法による絶縁形成の場合により大幅に工程を短縮でき、低コスト化を十分に行える。さらにスルーホールの点数を1個所当たり2～3個の複数個とすれば、さらに接続の信頼性を高めることができ、また、外装仕上げ等も信頼性向上に良好な結果を与えるであろう。

なお、外部取出し電極としては最上層と最下層とに分けたが、これを最上層あるいは最下層だけにすることも、この1層のパターンを変えるだけ

で可能となり、この場合も前記効果が得られることは明らかである。

また、さらにダミー層として最上層あるいは最下層に電圧効果を示すグリーンシートを積層し、素子の横方向に外部電極を形成することで、素子の側面から横方向に電圧を印加することもできる。この構造でも素子の駆動方向、即ち、素子に負荷がかかる方向に電圧印加用の外部電極がないため、負荷が金属等の導電体よりできていても、素子と負荷間を絶縁しなくても良いという利点がある。

#### 〔発明の効果〕

以上のように本発明によれば、内部電極と外部電極間に絶縁層を設ける必要がなく、従って、従来と比べ十分に低い電圧で駆動しても大きな歪を発生する素子を得ることができる効果を有する。

#### 4. 図面の簡単な説明

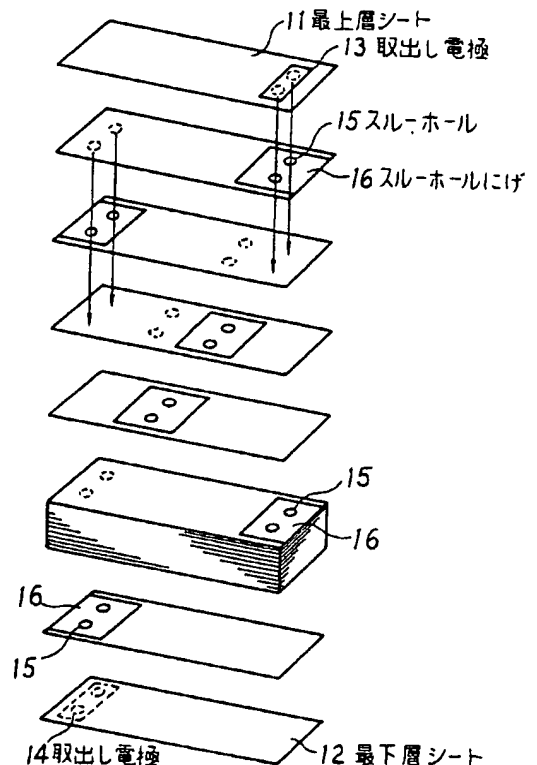
第1図(a)、(b)は本発明の積層型圧電素子の積層構成を示す分解斜視図、第2図は積層体外観斜視図、第3図は積層体内部の電極の接続状態を示す断面図、第4図(a)は従来のコンデンサ型積層型圧

電素子構造を示す側面図、(b)は積層方向から見た平面図、第5図(a)は全面電気泳動法による積層型圧電素子の構造例を示す図、(b)は(a)のA部拡大図である。

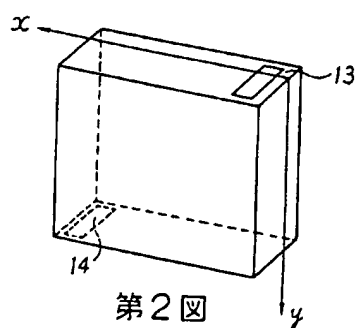
- 11…最上層シート                      12…最下層シート  
13…最上層に設けた一方の取出し電極  
14…最下層に設けたもう一方の取出し電極  
15…スルーホール                      16…スルーホールにげ

特許出願人      日本電気株式会社

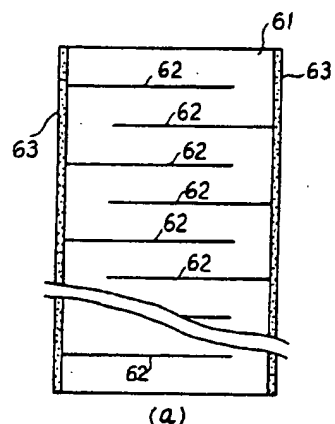
代理人      弁理士 内 原      晋



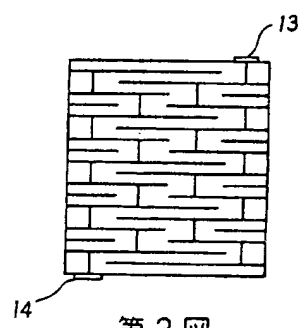
第1図



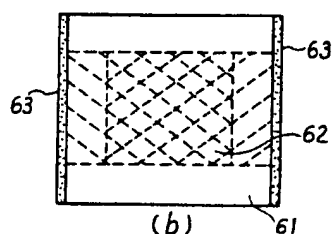
第2図



(a)

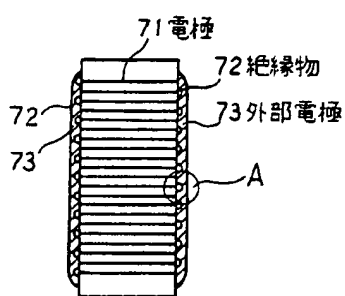


第3図

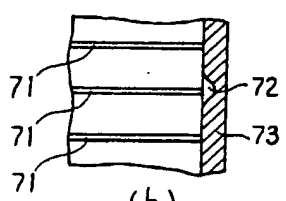


(b)

第4図



(a)



(b)

第5図